

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-016384

(43)Date of publication of application : 22.01.1999

(51)Int.Cl.

G11C 17/18

(21)Application number : 09-169342

(71)Applicant : FUJITSU LTD

(22)Date of filing : 26.06.1997

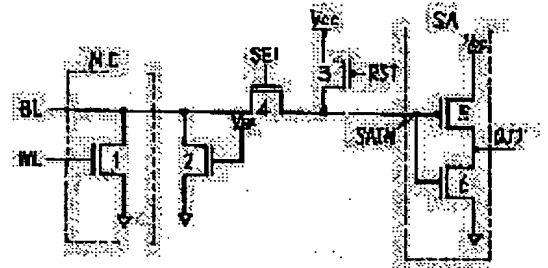
(72)Inventor : SASAGAWA RYUHEI
MORI TOSHIHIKO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress a power consumption in a mask ROM construction while the loss of a high speed performance which is caused by the suppression of the power consumption is avoided.

SOLUTION: A charge transfer transistor to which a current terminal is connected is provided between a memory cell MC connected to a bit line BL and a sensing amplifier circuit SA and a precharging transistor 3 which precharges the bit line is provided between the junction of the sensing amplifier circuit and the charge transfer transistor 3 and a power supply to precharge the selected bit line only for the suppression of a power consumption. Further, a circuit 2 which pulls down the bit line consistently is provided to reduce a time necessary for a potential drop and improve the reading speed of the sensing amplifier SA.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-16384

(43)公開日 平成11年(1999) 1月22日

(51)Int.Cl.⁴

識別記号

F I

G 1 1 C 17/18

G 1 1 C 17/00

3 0 3

審査請求 未請求 請求項の数2 O L (全 8 頁)

(21)出願番号

特願平9-169342

(22)出願日

平成9年(1997) 6月26日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 笹川 隆平

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 森 俊彦

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 弁理士 井桁 貞一

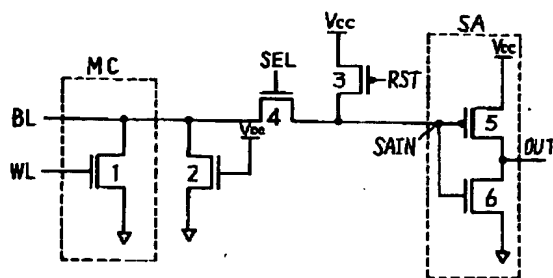
(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】 本発明は、マスクROMの回路構成に関するもので、消費電力を抑えながら、これに伴って起きる高速性喪失の問題を解決することを目的とする。

【構成】 ビット線に接続されたメモリセルとセンスアンプ回路との間に、電流端子が接続されたチャージトランスファ用のトランジスタを設け、センスアンプ回路とチャージトランスファ用トランジスタの接続点と電源との間に、ビット線をプリチャージするプリチャージトランジスタを設けることで、選択されたビット線のみをプリチャージして消費電力を抑える。さらに、ビット線を常にプルダウンさせる回路を設けることで電位下降に要する時間を早め、センスアンプの読み出し速度を向上させる。

本発明の原理を説明する図(その1)



【特許請求の範囲】

【請求項1】 ビット線に接続されたメモリセルと、センスアンプ回路と、前記メモリセルと前記センスアンプ回路との間に設けられたチャージトランスファ用のトランジスタと、

前記センスアンプ回路と前記チャージトランスファ用トランジスタの接続点と電源との間に設けられ、ビット線をプリチャージするプリチャージトランジスタとを有し、前記ビット線を常にプルダウンさせる回路を設けることを特徴とする半導体集積回路。

【請求項2】 複数の前記センスアンプ回路の出力をOR接続し、各々の前記センスアンプ回路の接地側に前記センスアンプ回路を選択する信号を受け取るトランジスタを有し、前記センスアンプ回路を選択する信号により前記複数のセンスアンプ回路の一方が選択されることを特徴とする請求項1記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置、特にマスクROMの回路において、微小なセル電流を増幅して電圧出力する読み出し系の回路に関するものである。

【0002】

【従来の技術】マスクROMで使われるメモリセルは、各々1個のトランジスタで構成され、製造工程において必要な記憶情報が書き込まれる。このメモリセルの記憶情報は、読み出し系の回路を使って増幅し読みだされる。

【0003】図7は、従来のマスクROMに用いられる読み出し系回路の一例であり、電流を電圧に変換する型のセンスアンプ回路を用いている。図において、BL1～4はビット線、WLはワード線、MC1～4はメモリセル、110～113は各メモリセルMC1～4を構成するnチャネルMOSTランジスタ、114～117はビット線のプリチャージ用のnチャネルMOSTランジスタ、118～121はチャージトランスファ用のnチャネルMOSTランジスタ、122はセンスアンプSAの入力ノードSAINをプリチャージするためのnチャネルMOSTランジスタを示す。118～121はビット線選択用のトランジスタの機能も兼ねる。また、SAはセンスアンプ、123、124はセンスアンプSAを構成するpチャネルトランジスタ、125はセンスアンプSAを構成するnチャネルトランジスタであって、センスアンプを最適に動作させるための所定電位を与える基準電圧 V_R をゲートに接続したトランジスタである。また、OUTは出力信号、SEL1～4はビット線選択信号、RSTはリセット信号を示す。

【0004】図7の例では、複数のメモリセルから構成されるメモリアレイにおいて、1つのワード線WLに4つのメモリセルMC1～4が共通につながり、各メモリセルMC1～4は、ワード線WLとビット線BL1～4

との交点に配置されている。なお、メモリセルMC1におけるX印は、ビット線BL1とメモリセルMC1が電氣的に導通していないことを示す。これはこのメモリセルMC1に情報1が記憶されていることに相当する。一方、他のメモリセルMC2～4ではビット線BL2～4とメモリセルMC2～4の各々が電氣的に導通している。これはメモリセルMC2～4に情報0が記憶されていることに相当する。

【0005】次に、図7及び図8を用いて、図7に示す従来の回路の動作を説明する。ここでは各メモリセルMC1～4の記憶情報を読み出す動作を、メモリセルMC2が選択された場合を例にとり説明する。まず、リセット信号RSTが立ち上がることで、nチャネルトランジスタであるプリチャージ用トランジスタ114～117の全てが導通するため、ビット線BL1～4は、電源電圧VCCによって所定電位にプリチャージされる。同時に、nチャネルトランジスタであるプリチャージトランジスタ122も導通するため、センスアンプの入力ノードSAINの電位も上昇する。

【0006】次にRST信号がLowとなり、プルアップは解除され、ビット線とSAINは所定のプリチャージ電位を維持する。次にワード線WLが選択され、nチャネルトランジスタであるメモリセルMC1～4のトランジスタ110～113が導通する。トランジスタ110～113のソースは接地されているため、導通することにより対応するドレインの電位が下がる。このとき、メモリセルMC2～4の場合は、トランジスタ111～113のドレインがビット線BL2～4と導通している。ので、対応するビット線BL2～4の電位はトランジスタ111～113の接地側への放電により低下する。一方、MC1の場合は、トランジスタ110のドレインがビット線BL1と導通していないので対応するビット線BL1の電位の低下は起こらない。

【0007】ビット線BL1～4の電位の変位は、チャージトランスファ用トランジスタ118～121を介してセンスアンプSAに伝わる。チャージトランスファ用トランジスタ118～121はビット線選択信号SEL1～4によって選択されたもののみが導通する。例えば、SEL2によってビット線BL2が選択されると、ビット線選択用トランジスタ119が導通し、メモリセルMC2の記憶情報に応じた電位がセンスアンプの入力ノードSAINに伝わる。このとき、メモリセルMC2の記憶情報は0なので、ビット線BL2の電位の下降がSAINに伝わる。SAINにおける電圧の下降は、センスアンプSAを構成するトランジスタ123、124のゲートの電位を下降させ、pチャネルMOSTランジスタである123、124が導通する。このとき、 V_R の適切な設定により、電源電圧VCCの半分程度まで増幅された出力信号OUTがセンスアンプSAから出力される。これとは反対に、メモリセルMC2の記憶情報が

1の場合は、SAINの電位は下降せず、センスアンプSAのトランジスタ123、124は導通しないため、接地されたトランジスタ125のため接地電圧VSSにまで下降した出力信号OUTがセンスアンプから出力される。以上の出力信号OUTの振幅は、さらにインバータ一段を通すことにより電源電圧VCCまで増幅される。

【0008】

【発明が解決しようとする課題】マスクROM等の半導体メモリでは、読み出しの高速化が強く要求されており、その一方で消費電力の低減化をも必要としているが、図7、8で説明した従来のマスクROMのセンスアンプ回路では、その要求に充分応えることは困難であった。

【0009】すなわち、従来のセンスアンプ回路で、本来動作させたいのは、上記の例をとるとメモリセルMC2のビット線BL2のみであるにもかかわらず、その他の非選択ビット線BL1、BL3、BL4にもプリチャージを行うため、消費電力が全体として高くなっていた。また、図7、8で説明した従来の電流電圧変換型のセンスアンプでは、特に記憶情報0を読み出す時に電源VCC対接地VSSで貫通電流が流れるので、この点においても常に消費電力が高くなっていた。

【0010】そこで、センスアンプの方式を、従来の電流-電圧変換型からその他の方式、例えばインバータ方式にすると消費電力は抑えられるが、読み出しの低速化という他の問題がおきる。すなわち、メモリセルに電流が流れた場合において、ビット線の電位が変化を開始した後、インバータのしきい電圧以上になる時間だけ、読み出しに要する時間がかかり、高速性が損なわれるという問題があった。

【0011】本発明の目的は、センスアンプの省電力化と、これに伴って起きる高速性喪失の問題を解決することの二点にある。

【0012】

【課題を解決するための手段】上記問題点は、ビット線に接続されたメモリセルと、センスアンプ回路と、前記メモリセルと前記センスアンプ回路との間に設けられたチャージトランスファ用のトランジスタと、前記センスアンプ回路と前記チャージトランスファ用トランジスタの接続点と電源との間に設けられ、ビット線をプリチャージするプリチャージトランジスタとを有し、前記ビット線を常にプルダウンさせる回路を設けることを特徴とする半導体集積回路により解決される。

【0013】すなわち、本発明では、メモリセルとプリチャージ用トランジスタとの間にチャージトランスファ用トランジスタを設けたため、ビット線選択信号で選択されたビット線のみがプリチャージされ、消費電力の低減を図ることができる。また、センスアンプを電流-電圧変換型からインバータ方式に変えることで生じる読み

出し速度の低下の問題は、ビット線を常時プルダウンさせる回路を設けることで解決される。すなわち、メモリセルに情報0が記憶されている場合のビット線BLの電位低下速度を早め、読み出しの高速化を図ることができる。また、このビット線常時プルダウン回路は、インバータ方式のセンスアンプ以外、例えばダミーセル比較方式のセンスアンプにおいても読み出し速度を高速化するという効果がある。

【0014】図1は、本発明の原理を説明するための回路図である。図1において、BLはビット線、WLはワード線、MCはメモリセル、1はメモリセルMCを構成するnチャネルMOSトランジスタ、2はビット線常時プルダウン回路であるnチャネルMOSトランジスタ、3はビット線のプリチャージ用のpチャネルMOSトランジスタ、4はチャージトランスファ用のnチャネルMOSトランジスタ、5、6はセンスアンプSAを構成するトランジスタ、SAINはセンスアンプの入力ノード、OUTは出力信号を示す。また、SELはビット線選択信号、RSTはリセット信号を示す。図に示すように、この回路では、メモリセルMCが接続されるビット線BLは、プリチャージ用のトランジスタ3とチャージトランスファ用のトランジスタ4からなるプリアンプ回路を介してインバータ方式のセンスアンプSAに接続されている。

【0015】まず、リセット信号RSTが立ち下がることで、プリチャージ用トランジスタ3が導通し、電源電圧VCCによってノードSAINは所定電圧にプリチャージされる。しかし、ビット線BLとの間にはチャージトランスファ用トランジスタ4があるため、全てのビット線ではなく、次にビット線選択信号SELにより選択されたビット線のみが所定電位にチャージアップされる。ここで、リセット信号RSTは立ち上がり、プルアップは終了する。

【0016】そこへワード線WLが選択されると、メモリセルMCのトランジスタ1が導通する。このとき、メモリセルMCに情報0が記憶されている場合には、トランジスタ1のドレインはBLに接続されているから、ビット線BLの電位はトランジスタ1、2の接地側への放電により低下する。一方、メモリセルMCに情報1が記憶されている場合には、トランジスタ2による常時プルダウン強度の最適化により、トランジスタ2の接地側への放電によるビット線BLの電位の低下を微量にできる。

【0017】次に、チャージトランジスタ用トランジスタ4がビット線選択信号SELによって選択され導通しているため、メモリセルMCの記憶情報に対応するビット線BLの電位の変位が、増幅されてセンスアンプの入力ノードSAINに伝わる。インバータ型のセンスアンプSAは、メモリセルMCの記憶情報に対応する入力信号SAINを電源電圧VCCまで増幅し、出力信号OU

Tとして出力する。図2は、かかる本発明のセンスアンパ回路の動作波形図である。

【0018】最初に、メモリセルMCに記憶情報0が入っている場合を説明する。まず、リセット信号RSTが立ち下がり、かつビット線選択信号SELが立ち上がることにより、ビット線BLの電位が上昇する。次に、RSTが立ち上がり、ワード線WLが選択されることで、ビット線BLの電位が低下し、センスアンパSAの入力ノードSAINも急速に低下していき、インバータセンスアンパのしきい電圧に達すると、電位下降が検出され、出力信号OUTが立ち上がる。このとき、セルと並列にビット線の電位を下降させるというビット線常時プルダウン回路の効果により、インバータセンスアンパのしきい電圧まで電位が下降するのに要する時間が早まる。従って、読み出し速度が早くなる。

【0019】次に、メモリセルMCに記憶情報1が入っている場合を説明する。まず、リセット信号RSTが立ち下がり、かつビット線選択信号SELが立ち上がることにより、ビット線BLの電位が上昇する。次に、RSTが立ち上がり、ワード線WLが選択されると、ビット線BLの電位は若干下降する。これは、ビット線常時プルダウン回路の作用によるが、この回路は小さく、常時プルダウン強度を適切に弱めている。よって、SAINの電位がインバータセンスアンパのしきい値まで下がらないため、信号OUTには殆ど影響がない。

【0020】

【発明の実施の形態】以下に本発明の第1の実施の形態を図3を参照しながら説明する。以下の図において、図1と共通するものは、同じ記号を用いて表す。図3は、複数のメモリセルから構成されるメモリアレイにおいて、共通する1つのワード線WLにつながる4つのメモリセルを表す。各メモリセルMC1~4は、各々対応するビット線BL1~4とワード線WLとの交点に配置されている。ビット線BL1~4には、各ビット線を常時プルダウンさせるためのトランジスタでありメモリセルのトランジスタよりも小さなnチャネルMOSTランジスタ44~47が設けられている。メモリセルMC1~4はnチャネルMOSTランジスタ40~43から構成され、各メモリセルMCとセンスアンパSAとの間には、チャージトランスファリアンプであるnチャネルMOSTランジスタ49~52が設けられている。このトランジスタ49~52は、ビット線選択信号SEL1~4で選択される。また、センスアンパSAはインバータ型である。

【0021】次に、各メモリセルMC1~4の記憶情報を読み出す動作を、メモリセルMC1（記憶情報1）ならびにMC2（記憶0）の選択を例にとって説明する。まず、リセット信号RSTが立ち下がることで、プリチャージ用トランジスタ48が導通する。メモリセルMC1~4とセンスアンパSAの間にはチャージトランスフ

ァ用トランジスタ49~52が設けられている。このうち1個のトランジスタがビット線選択信号SEL1~4によって選択されて導通し、この選択されたビット線BL1~4のうち1本のみが、プリチャージ用トランジスタ48により所定電圧にプリチャージされる。そして、RSTを立ち上げ、ワード線WLを選択すると、メモリセルMC1~4のトランジスタ40~43が各々導通される。ビット線選択信号SEL1でビット線BL1を選択し、メモリセルMC1の記憶情報1を読み出す場合には、トランジスタ40のドレインはBL1と切り離されているため、ビット線BL1の電位は常時プルダウンnMOSTランジスタ44の接地側への放電により若干下降するのみである。一方、ビット線選択信号SEL2でビット線BL2を選択し、メモリセルMC2の記憶情報0を読み出す場合には、トランジスタ41のドレインはBL2と接続されているため、ビット線BL2の電位がトランジスタ41、45の接地側への放電により急速に低下する。このようにして、SEL1~4によってビット線BL1~4のうち1本が選択されると、選択されたビット線に対応するメモリセルMC1~4の記憶情報に応じた電位が、センスアンパSAの入力SAINの電位となり、インバータ型センスアンパSAから反転された出力信号OUTが出力される。

【0022】次に第2の実施の形態を図4を用い説明する。第2の実施の形態は、第1の実施の形態と似た構成であるが、各インバータ型センスアンパSA1~4の出力を一つにまとめ出力OUTとしている点に特徴がある。また、インバータ型センスアンパSAの接地側にはトランジスタ76~79が1つつ設けられ、このトランジスタのゲートにセンスアンパ選択信号SAS1~4が入力される。センスアンパ選択信号SAS1~4は、センスアンパSA1~4の中から1つのセンスアンパを選択するための信号である。各メモリセルMC1~4は、対応するビット線BL1~4とワード線WL1との交点に配置されている。ビット線BL1~4に、各ビット線を常時プルダウンさせるためのトランジスタである比較的小さなnチャネルMOSTランジスタ64~67が接続されている点は、第1の実施の形態と同様である。第1の実施の形態では読み出し速度の高速化を図ったが、第2の実施の形態では、さらに、多数のビット線から1本を選んで情報を読み出すとき、必要なセンスアンパのみを動作させることで、消費電力の低減を図っている。この方法で、高速性と低消費電力を同時に満たすことが可能となる。

【0023】次に第3の実施の形態を図5、図6を用い説明する。図5では、ダミーセルを用いた方式のセンスアンパに本発明を適用した例を示す。同図において、センスアンパSAは、nチャネルMOSTランジスタ94、96を含むnMOSクロスカップルと電源電圧VCに接続されたプリチャージ用の負荷トランジスタ9

3、95とからなる。センスアンプSAの接地側には、nMOSTランジスタ99が接続されており、制御クロックCLKによりセンスアンプSAの動作のON/OFFを制御する。また、センスアンプSAの両側にビット線選択信号SELで選択されるトランスファークラップ92、97が設けられ、これを介してビット線BLとリファレンスビット線REFBLが左右に設けられている。また、ビット線BLにはメモリセルMCが、リファレンスビット線REFBLにはメモリセルMCと同じ電流能力を有するダミーメモリセルDCが各々設けられている。メモリセルMCの方にはビット線常時プルダウン回路91が設けられているが、ダミーセルDCの方には設けられていない。リファレンスビット線REFBLに設けられたダミーセルDCからの電位はセンスアンプSAのN1ノードに伝わるが、メモリセルMC、ダミーセルDCの約半分の電流能力を持つよう常時プルダウン回路を設定すると、リファレンスビット線REFBLからセンスアンプSAへの入力電位N1は、ビット線BLからのセンスアンプSAへの入力電位N0の0読みと1読みの中間値となる。

【0024】図6は、図5の回路の動作を説明する図である。まず、リセット信号RSTが立ち下がることにより、ノードN0とN1を電源電位まで上昇させる。ここでビット線選択信号SELを立ち上げ、BL、REFBLともにプリチャージする。次に、RSTを立ち上げ、ワード線選択信号WLを立ち上げる。ここで、メモリセルMCの記憶情報が0の場合には、ビット線BLの電位はトランジスタ90、91の接地側への放電により降下するが、リファレンスビット線REFBLの電位降下はBLより小さい。その結果、ビット線BL側では、トランスファークラップ用トランジスタ92を介してノードN0からビット線BLに向かって急速に電荷が移動し、電荷供給路がないノードN0の電位は急速に降下する。同時に、リファレンスビット線REFBL側でも、トランスファークラップ用トランジスタ97を介してノードN1からリファレンスビット線REFBLに向かって電荷が移動し、N1の電位が降下するが、その降下速度は常時プルダウン回路が無い分、N0の電位より小さい。

【0025】一方、メモリセルMCの記憶情報が1の場合には、常時プルダウン回路91の作用により、N0ノードの電位は若干降下するが、その降下速度はN1の電位より小さい。このセンスアンプは、ノード線N0とN1との比較によって、1、0が判別され、信号OUTへ出力されるが、具体的な動作は以下のとおりである。N0、N1ノードの電位がある程度降下し電位差が生じた時点で制御クロックCLKを立ち上げると、nMOSTランジスタ99が導通し、nMOSTランジスタ94、96からなるクロスカッパルが動作する。このとき、N0、N1のうち電位の低い方のノードの電位は、クロスカッパルの動作により接地VSS付近まで急速に降下す

る。もう一方の高い方のノードの電位はそのまま保たれるので、クロスカッパルの動作により、N0、N1の電位差が増幅される。ここで、N0、N1のうちの片方、例えば、N0を取り出しインバータ100を介して出力OUTに接続すると、OUTでは電源電圧VCCの振幅まで増幅された信号を得ることができる。

【0026】以上、本発明の具体的な実施の形態について説明したが、本発明は、これら具体例のみに限定されるべきものではなく、種々の態様で実施することができ、多くの変形が可能である。

【0027】

【発明の効果】以上の通り、本発明によれば、選択されたビット線だけにプリチャージがなされるため電力を消費しない構成を有し、且つ、ビット線を常時プルダウンする回路を設けることにより、低消費電力でありながら、高速性を失わないセンスアンプの提供が可能である。

【図面の簡単な説明】

【図1】本発明の原理を説明する図(その1)である。

【図2】本発明の原理を説明する図(その2)である。

【図3】本発明の第1の実施の形態を説明する図である。

【図4】本発明の第2の実施の形態を説明する図である。

【図5】本発明の第3の実施の形態を説明する図(その1)である。

【図6】本発明の第3の実施の形態を説明する図(その2)である。

【図7】従来の回路図である。

【図8】従来の回路の動作波形図である。

【符号の説明】

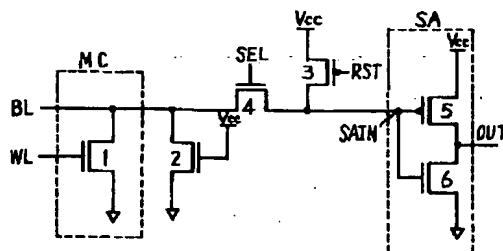
MC1~4	メモリセル
DC	ダミーセル
BL1~4	ビット線
REFBL	リファレンスビット線
WL	ワード線
SA	センスアンプ
SEL1~4	ビット線選択信号
RST	リセット信号
CLK	センスアンプ動作制御クロック
1、40~43、110~113	メモリセルのトランジスタ
60~63、90	メモリセルのトランジスタ
2、44~47、64~67、91	ビット線常時プルダウン回路
3、48、72~75、122	プリチャージ用トランジスタ

114~117 プリチャージ用ト
ランジスタ
4、49~52、118~121 ビット線選択用ト
ランジスタ
68~71、92、97 ビット線選択用ト
ランジスタ
98 ダミーセルのトラ

ンジスタ
99 センスアンプの動
作制御トランジスタ
100 センスアンプ出力
信号増幅用インバータ

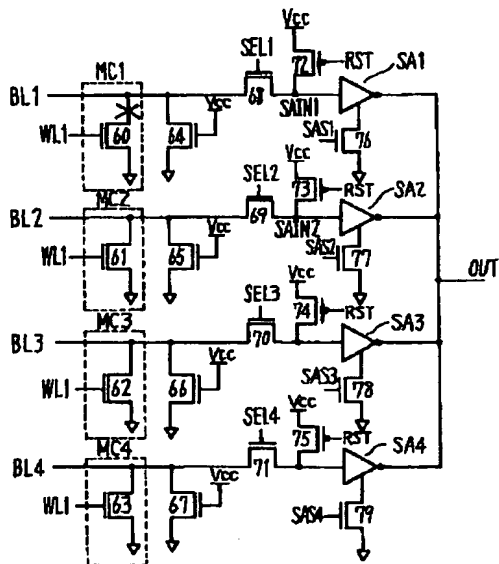
【図1】

本発明の原理を説明する図(その1)



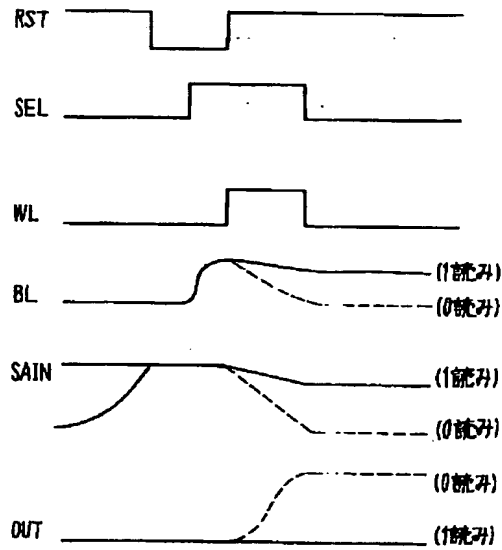
【図4】

本発明の第2の実施の形態を説明する図



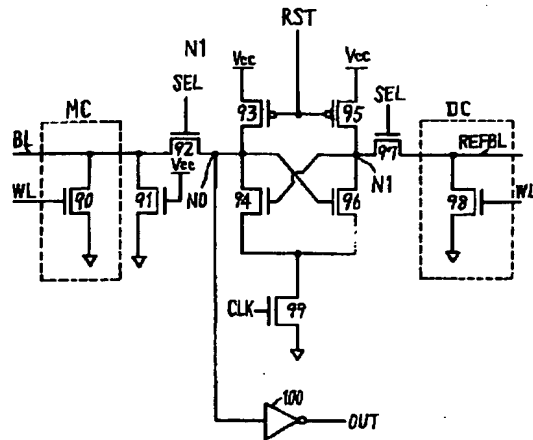
【図2】

本発明の原理を説明する図(その2)



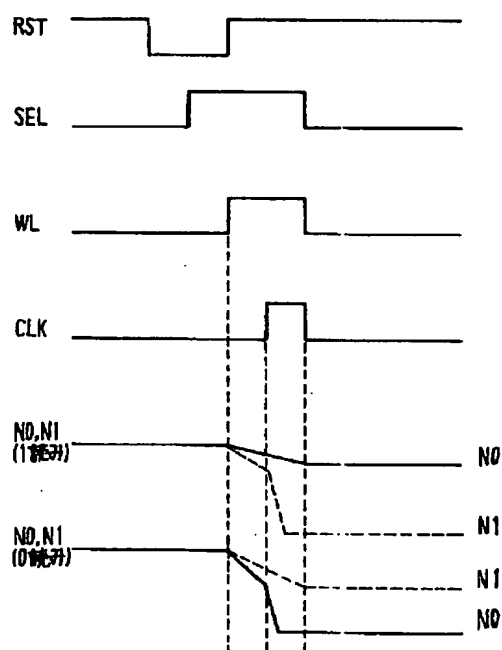
【図5】

本発明の第3の実施の形態を説明する図(その1)



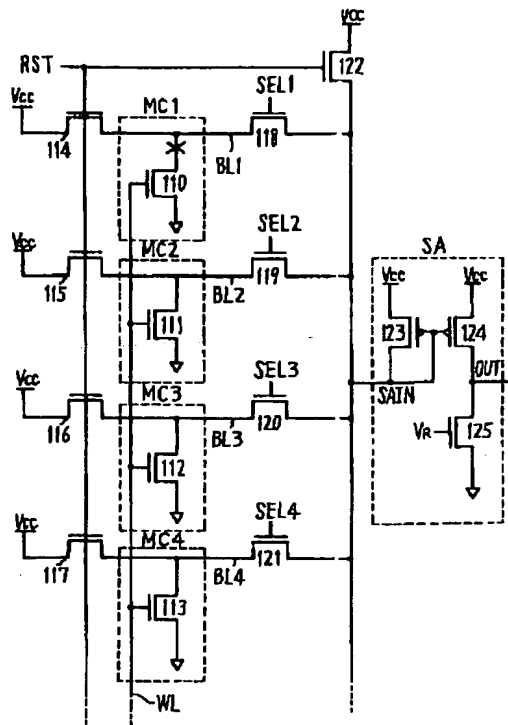
【図6】

本発明の第3の実施の形態を説明する図（その2）



【図7】

従来の回路



【図8】

従来の回路の動作波形図

